

一种面向多核系统的 DDR2 SDRAM 控制单元

章 裕, 谢 憬, 王 超, 王 琴, 毛志刚

(上海交通大学 电子信息与电气工程学院 微纳电子学系, 上海 200240)

摘 要: 针对目前大幅增加的访问密集型应用, 提出了一种多核系统的 DDR2 SDRAM 控制单元, 重点介绍了该控制单元在各方面的各种优化技术, 如结构、控制策略、调度策略等, 同时也提出了一种新的地址映射机制, 通过相应的映射机制决定请求会被传送到指定的行、列地址, 再配合相应的控制策略使得系统有效提升了整体带宽. 在实验证明性能得到提升的条件下, 通过使用相应的综合工具对电路进行了综合, 进行了硬件开销的评估. 最后通过测试结果证明了该控制单元应用于整个系统有较好的性能提升.

关键词: 多核系统; 访存密集型应用; DDR2 SDRAM; 调度策略; 地址映射

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2016)07-0019-05

An Optimized DDR2 SDRAM Control System for Multi-Core System

ZHANG Yu, XIE Jing, WANG Chao, WANG Qin, MAO Zhi-gang

(Department of Microelectronics and Nanoscience, Shanghai Jiao
Tong University, Shanghai 200240, China)

Abstract: To solve intensive application, a DDR2 SDRAM control system for multi-core system and memory intensive application is proposed. The paper focus on various optimization techniques in structure, control and schedule strategy. It also puts forward a new address mapping method that will improve the overall bandwidth. The mapping method transfers different requests to different banks, rows and columns. With the control policy, the performance of system gets promoted. Synthesize tool is used to evaluate the hardware expense. Experiments show that in the control system, SDRAM controller brings up better performance.

Key words: multi-core system; memory intensive application; DDR2 SDRAM; schedule strategy; address mapping

1 引言

随着集成电路工艺的不断提高, 人们提出了高速多核系统结构. 片上处理器的个数不断增加, 使得存储器的带宽成为了系统性能的关键瓶颈之一^[1-3]. 多核系统往往共享同一 DDR2 SDRAM, 而且对于访存密集型的应用将大幅增加对 SDRAM 的访问频率, 所以系统需要一种高效的 DDR2 SDRAM 控制单元, 来提升多核系统带宽与性能^[4-5]. DDR2 SDRAM 控制单元通过优化其结构、控制策略、调度策略等完成了对访存带宽的优化.

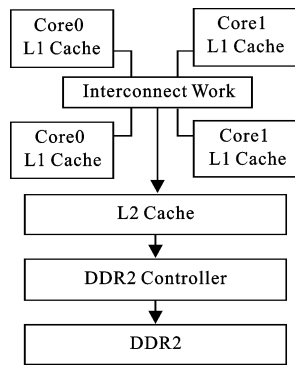
控制策略是指控制单元在向 SDRAM 发送命令时的策略, 来控制其工作时的内部状态. 调度策略则决定了访存请求的优先级, 通过相应的算法来选出当前合适的请求并发送. 控制策略和调度策略一起完成了对整体带宽的优化. 而在文献[6]中说明了传统控制单元所采用的结构和策略难以满足多核系统中的应用对带宽的需求. 本文针对多核系统和访存密集型应用的特点, 有针对性地设计 DDR2 SDRAM 控制单元. 实验结果表明, 该控制单元在多核系统中运行访存密集型应用时有更好的性能.

收稿日期: 2015-10-08; **修回日期:** 2015-11-22

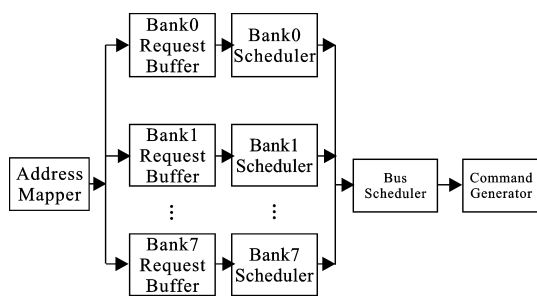
基金项目: 国家自然科学基金项目(61176037)

2 多核系统高性能 DDR2 SDRAM 控制单元

图 1 展示了一种多核的系统结构图. 其中图 1(a)展示了整个存储的结构,每个核有各自独立的一级缓存 (L1 Cache), 共享一个二级缓存 (L2 Cache)和 DDR2 SDRAM. 而图 1(b)中展示的是(a)中的 DDR2 控制单元(DDR2 controller)的结构图.



(a)目标片上多核系统结构图



(b)DDR2 SDRAM Controller 结构图

图 1 目标片上多核系统结构及其 DDR2 SDRAM Controller 结构图

本文提出了一种适用于多核系统的地址映射机制,并制定合适的控制单元的结构、控制策略和调度策略,来与该地址映射机制进行结合,达到提升访存带宽的目的.

2.1 控制单元的结构

该控制单元连接了 L2 Cache 和 DDR2 SDRAM,功能是将 L2 Cache 的请求序列保存,并在调度后选取合适的请求,将之转化为 SDRAM 的读写命令并且发送到下一单元.

常见的 SDRAM 控制单元的结构如图 1(b)所示,控制单元的第一部分就是地址映射模块(Address Mapper),用于处理 L2 Cache 的请求. 该模块根据一定映射策略,将每个请求的地址一一对应到了 SDRAM 中某个具体的位置,即产生确定且唯一

的 SDRAM 的块 (Bank), 行 (Row) 和列 (Column) 地址给下一级.

第二部分则是缓冲队列 (Bank Request Buffer),用于暂存请求以供调度. 本控制单元采用了 Bank 并行调度结构,即每个 Bank 都有各自独立的缓冲队列,来充分利用 SDRAM 各个 Bank 间的并行性. 缓冲队列保存了请求的具体信息,如地址、读/写类型,数据,等待时间等等. 其中,各个 Bank 也有独立的调度模块 (Bank Scheduler),该模块记录了对应 Bank 的状态信息,并根据 Bank 的状态和其上一级缓冲队列里的请求信息,结合一定的调度策略,来选出当前优先级最高的请求.

接着是 SDRAM 总线调度模块 (Bus Scheduler). 它从各个 Bank 调度模块所选出的请求中确定一个优先级最高的,在总线为空闲时发送给 SDRAM. 系统将当前需要发送的请求转化为 SDRAM 所能识别的命令,写入数据或读出数据.

2.2 地址映射

每个请求进入 DDR2 SDRAM Controller 时,首先都要经过 Address Mapper,这个模块通过相应的映射机制决定请求会被传送到指定块,及其对应的行、列地址,而且映射结果也是一一对应的. 由于 SDRAM 存在 Bank 的激活和预充电操作,不同的映射方式会带来很大的性能差异.

常用的映射机制主要有如下两种:第一种是顺序的映射方式,直接分别将请求地址的高位,中间位,低位分别作为 Bank 地址、行地址、列地址 (即 [B-R-C] 方式, B 代表 Bank, R 代表行, C 代表列),该方法简单,但容易出现行冲突;第二种 [R-B-C] 则会将行地址相同的请求归入同一个 Bank 中,适用于行命中率很高的应用.

针对多核系统,和访存密集型应用的特点,本文提出了另一种性能较高的地址映射方式: [R-BH-CH-BL-CL] (H 为地址高位, L 为地址低位),其实现方式如图 2 所示.

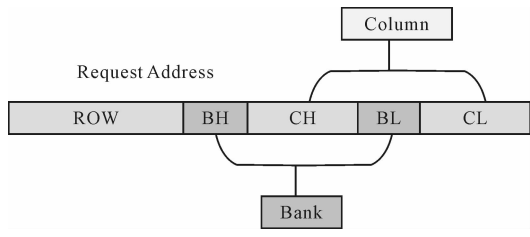


图 2 地址映射机制

本方案的特点如下所示.

第一,为了保持缓存行(Cache Line)地址的连续性,则将请求地址(Request Address)的低位作为列地址的低位(CL),使 Cache 内同一个块都能映射到同一 Bank 内的同一行,这样处理能利用行命中的高效率,也能保持返回数据的连续性。

第二,该控制单元能够利用其访存局部性来达到访问的高效率。本方案类似于方案[R-B-C],也是使用高位作为行地址,能将连续的地址映射为同一个行,实现命中率的最大化。

第三,由于在多核系统中存在对多个不同地址段的访问,所以本文将次高位的地址作为 Bank 地址,可以有效地将对不同行的连续请求,分别映射到多个不同 Bank 内,各个 Bank 能并行地执行各自不同的行命中请求序列。另外,多核系统的访存数量加大,其平均访存延时中有很很大一部分是在队列中的等待时间。而这样的 Bank 映射方式,也能有效平衡各个 Bank 的访存数量,充分利用控制单元的 Bank 并行化结构,大幅降低请求的平均等待时间。

第四,方案[R-B-C]能一定程度上解决 Bank 内部访存数量不均的问题,并且单个 Bank 内能有较高的行命中率。对于 8 个 Bank 的情况,方案[R-B-C]将一个核的大量连续请求映射到了同一 Bank 中,而此时其他某些 Bank 在该时间段内请求很少,这种情况在多核系统中比较严重。

2.3 调度策略

调度策略确定了 Bank 调度模块、SDRAM 总线调度模块从其上一级中选取请求时所用的优先级标准。与地址映射、调度策略一起达到了对整体带宽的优化作用。

由于访存密集型应用的访存局部性的特点,上述映射机制能为 Bank 带来大量行命中,则本控制单元采取优先行命中的策略。Bank 调度模块把与本 Bank 上一个请求属于同一行的访存的优先级设为最高,当队列中不存在行命中时,优先选择先进入队列的请求。该策略和地址映射机制相互配合,最大化发挥该类应用的访存局部性。

而 SDRAM 总线调度模块,则采取轮询的方式进行调度,即当总线为空闲状态时,按照固定的循环顺序选出一个空闲且有未完成请求的 Bank,将该 Bank 调度模块内优先级最高的请求发送到 SDRAM 中。

2.4 控制策略

控制策略是指 SDRAM 控制单元在向 SDRAM 发送命令时的策略,来控制 SDRAM 工作时的内部

状态。

由于采用了上述映射机制来获取高行命中率,但多核系统的并行化容易出现两中连续读写之间的切换所导致的行冲突导致高延时,所以本控制单元采用了块开放策略(Open Bank Policy)。

Bank 调度模块持续对 Bank 请求缓冲队列中的信息进行跟踪,获取剩余请求的行命中信息,如果队列中不存在多余的行命中,且存在行冲突时才会关闭行^[2]。Bank 调度模块会将行命序列的最后一个请求设置为自动预充电(Auto-Precharge)形式来完成行的关闭,减少了其对 SDRAM 总线的占用时间,有效降低了切换时的行冲突所带来的性能损失。

2.5 保证访问时效性

对于本文采用的上述策略都以发掘请求的行命中率为目标^[1,3],这样可能会导致 Bank 内行命中的请求一直都被优先执行,而先来的请求却一直处于等待状态,时间过长会导致系统性能下降。这种问题在多核系统,和访存密集型应用中更加常见。

所以在本控制单元中,Bank Request Buffer 除了记录请求的地址、数据、读/写等信息,还记录了请求在 Buffer 内等待的时间,并且每个时钟周期更新一次。如果某一请求的等待时间超过设定的阈值,则会被 Bank 调度模块优先选择,保证了所有核与应用的公平性。阈值如果设定太小,则会发生频繁的切换,影响命中率和带宽。如果设定太大,则会影响访存时效性和系统性能。所以需要选择一个适度的数值。

3 性能测试与分析

3.1 实验环境

为了验证 SDRAM 控制单元的性能,本文使用 Carbon SOC Designer 平台并使用 System C 完成 SDRAM 和 SDRAM 控制单元的模式。系统一共有多个核,每个核有独立的 L1 Cache,共享同一个 L2 cache 和一个 DDR2 SDRAM。系统具体配置信息如下:Cache: 处理器私有缓存,LRU, D-Cache (32 kB),I-Cache(32 kB),Cache line(64 B);

Cache: 处理器共享缓存,LRU, 2 MB, Cache Line(64 B);

Core 数量:4 核,8 核,16 核;

DDR2 SDRAM: 4 Gb,单通道。

测试程序则选择了 Media Bench 中常用的访存密集型应用,用 4 个,8 个以及 16 个处理核(core)分别各自运行不同的程序。例如,FFT, GSM, DCT

等等.

3.2 与传统控制单元的比较

实验将本控制单元与另外两种在上述系统中进行仿真,比较不同的结果参数并进行分析.

第一个是传统的针对访存密集型应用 SDRAM 控制单元(以下称为控制单元 A):整体结构和本方案一致,即 Bank 并行结构,总线调度模块采用轮询方式,不同之处在于:地址映射机制使用方案 1:[B-R-C],控制策略则是一直保持行的打开. 第二个控制单元(以下称为控制单元 B)和本方案在结构、调度与控制策略上全部一样,但地址映射采用了性能更高的方案 2:[R-B-C],来与本文提出的映射机制进行全面的比较.

图 3 列出了该实验中进入 SDRAM 各个 Bank 的请求的数量(8 个 Bank). 可见不同的映射机制对 Bank 平衡性的影响很大,而本控制单元的映射方法能有效平均各个 Bank 内请求的数量,充分发挥了 Bank 的并行访问的特点.

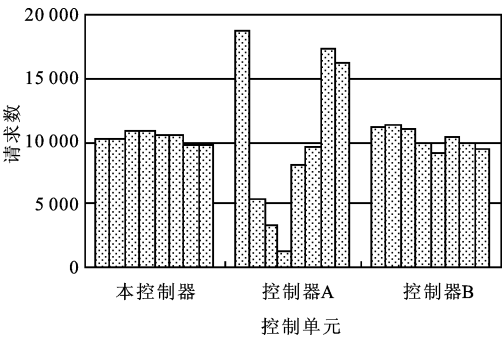


图 3 三种控制单元各个 Bank 内请求总数

表 1 列出了本实验中,三种控制单元的行命中率结果. A 的保持行打开策略,导致了过多的行冲突. 而本控制单元采用了块打开策略(Open Bank Policy),在 4 核 和 8 核的环境下都减少了冲突,同时新的地址映射方式也保障了较好的行命中率. 另外从表 2 可见,和本控制单元相比, B 采用了[R-B-C]的地址映射方式,让一组对同一块地址的连续访存全部都映射到了一个 Bank 中,提高了命中率.

表 1 三种控制单元的命中率比较

测试项目	本控制单元				控制单元 A			控制单元 B		
CPU 数量/个	4	8	16	4	8	16	4	8	16	
行命中次数	97 958	48 068	26 551	92 033	50 368	19 482	99 256	55 462	23 440	
行冲突次数	54 881	38 176	12 552	73 221	43 404	15 226	25 669	13 240	17 560	
行关闭次数	11 200	9 356	3 256	42	8	56	85	13 838	6 620	
行命中率/%	66	58	67	58	53	68	61	67	49	

表 2 给出了本实验中,每条请求的平均访存延时(单位都为 SDRAM 控制单元的时钟周期数)和整体带宽利用率进行了对比. 其中,读写延时是请求从控制单元发送给 SDRAM 后到完成读写所需的时钟周期数,而队列等待延时表示了请求在对应的 Bank Request Buffer 中的等待时间.

表 2 三种控制单元的访存延时与带宽利用率比较

测试项目	本控制单元			控制单元 A			控制单元 B		
CPU 数量/个	4	8	16	4	8	16	4	8	16
读写平均延时	11.75	10.12	9.66	8.66	9.32	8.66	9.18	8.45	7.98
队列等待平均延时	10.74	9.42	8.99	17.33	18.74	19.11	12.59	13.38	12.69
平均总延时	18.23	19.54	19.68	29.21	28.07	25.22	20.14	21.83	19.86
请求最大总延时	91	150	69	233	212	180	120	73	93
带宽利用率/%	68	79	74	51	58	61	66	71	77

注:时间单位为时钟周期数(cycle).

控制单元 B 由于其高命中率所以读写延时很低,但是 Bank 间并行度不高. 虽然 Bank 的请求总数比平均,但是在每一个时间段内各个 Bank 的访存量是不平均的,个别 Bank 很忙,导致整体带宽利用下降. 而本控制单元的地址映射机制是以牺牲小部分行命中率来提升 Bank 并行度,来提升整体性能. 其平均访存延时比 A 减少了约 31%,比 B 减少

可见,控制单元 A 由于其行冲突太多,且由于 Bank 间的不平衡导致带宽利用率都较低. 另外 A 没有相关机制对调度过程进行限制,导致了请求最大延时很高. 而本控制单元将等待时间的阈值限定为 50,避免了控制单元 A 中 Bank 间不平衡的缺点,这样在一定程度上减少了最大延时.

了约 11%. 其带宽利用率比 A 多了 21 个百分点,比 B 多了 8 个百分点^[7].

3.3 硬件开销与速率分析

在 ISE 平台上,使用相应综合工具对控制单元模块进行了进行综合,其中器件选用了 XC6VLX760,布局布线后的最大运行频率为 339.58 MHz,能够适用于 DDR2-667 系列. 在表 3 中,分别

列举了综合后 FPGA 中 Slice 寄存器和查找表的使用数量,根据文献[8]中 Slice 寄存器和查找表与专用集成电路(ASIC)逻辑门的换算方法,计算得到逻辑门的总体使用数量为 347 966.

$$BW_{max}=Freq_CLK\times DQ_BITS\times 2 \quad (1)$$
根据式(1),其中按照 DDR2-667 的时钟频率(333 MHz)来计算,DQ_BITS 表示 8 位的数据总线位宽,在行为级仿真结果中,控制系统 A 和 B 的平均带宽分别为 2.88 Gb/s 和 3.52 Gb/s,而本存储控制系统的平均带宽可以达到 3.92 Gb/s.

表 3 FPGA 资源利用率统计

测试项目	使用个数	器件内 Slice 总数量	相应逻辑 门数量
Slice 寄存器数量	9172	948 480	293 504
Slice LUT 数量	9 077	474 240	54 462
Slice 被占用数量	3 179	118 560	63 580

4 结束语

本文提出了一种针对多核访存密集型应用的 SDRAM 控制单元,介绍了该控制单元结构、控制、调度策略上所采用的各项优化技术,并提出了一种新的地址映射机制,在解决密集型应用问题上提出了新的硬件结构,实验结果表明,新的控制单元使得命中率相比传统单一的方式提高了 15%,并且使得对存储器访问延时减少了平均 20%.

参考文献:

[1] Kyle J Nesbit, Nidhi Aggarwal. Fair queuing memory systems[C]//Proceedings of the 39th Annual IEEE/ACM International Symposium on Microarchitecture. Hawaii, USA, 2006.

[2] Briki A, Chavet C, Coussy P. A conflict-free memory mapping approach to design parallel hardware interleaver architectures with optimized network and controller[C]//Signal Processing Systems (SiPS), 2013 IEEE Workshop on. Taiwan, Taipei, IEEE, 2013: 201-206.

[3] Onur Mutlu, Thomas Moscibroda. Stall-time fair mem-

ory access scheduling for chip multiprocessors[C]//Proceedings of the 40th Annual IEEE/ACM International Symposium on Microarchitecture. Dallas, 2007.

[4] Manu Awasthi, David Nellans. Handling. The problems and opportunities posed by multiple on-chip memory controllers[C]//Proceedings of the 19th international conference on Parallel architectures and compilation techniques. Austria, Vienna, 2010.

[5] Engin Ipek, Onur Mutlu. Self-optimizing memory controllers: a reinforcement learning approach [C] //roceedings of the 35th Annual International Symposium on Computer Architecture. USA, Denver, 2008.

[6] Yang C J, Liu H C, Ji K M, et al. Adaptive memory map switch for system on chip[C]//High Performance Computing and Communication &. 2012 IEEE 9th International Conference on Embedded Software and Systems (HPCC-ICESS), 2012 IEEE 14th International Conference on. UK, Liverpool, IEEE, 2012: 1639-1642.

[7] Kanno Y, Mizuno H, Watanabe T. A DRAM system for consistently reducing CPU wait cycles[C]//VLSI Circuits, 1999. Digest of Technical Papers. 1999 Symposium on. Taiwan, Taipei, IEEE, 1999: 131-132.

[8] AI Czamara. 赛灵思器件与专用集成电路器件换算方法. [EB/OL]. (2015-01-10). <http://www.deepchip.com/items/0356-05.html>.

作者简介:

章 裕 男,(1990-),硕士研究生. 研究方向为大规模集成电路设计. E-mail:759488886@qq.com.

谢 憬 男,(1981-),助理研究员. 研究方向为大规模成电路设计、片上处理器体系结构、先进集成电路设计方法.

王 超 男,(1988-),硕士研究生. 研究方向为大规模集成电路设计.

王 琴 女,(1975-),博士,副教授. 研究方向为大规模集成电路设计、片上处理器体系结构、先进集成电路设计方法.

毛志刚 男,(1962-),博士,教授,博士生导师. 研究方向为大规模集成电路设计、可重构体系结构设计、集成电路与元器件可靠性等.

(上接第 18 页)

[7] Ohnhaeuser F. Theory and realization of high-end analog-to-digital converters (ADC) based on the principle of successive approximation(SAR)[D]. Erlangen, University of Erlangen-Nurnberg, 2008.

[8] Shirai Eiji. CMOS multistage preamplifier design for high-speed and high-resolution comparators [J]. Circuits and

Systems II: Express Briefs, 2007, 54(2):166-170.

作者简介:

侯 斌 男,(1992-),硕士研究生. 研究方向为射频模拟集成电路设计、数模混合电路设计.
E-mail:nevermoresai@163.com.

莫亭亭 女,(1978-),博士,副教授. 研究方向是应用于无线通信的射频、微波集成电路,CMOS 功率放大器.